

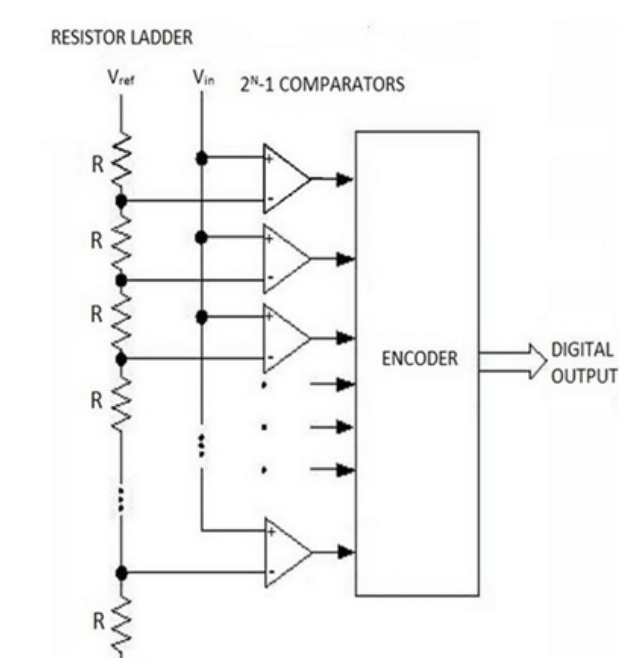
Design of 4-bit Flash ADC using multiplexers for low power

윤소연, 최민경, 조성익
전북대학교

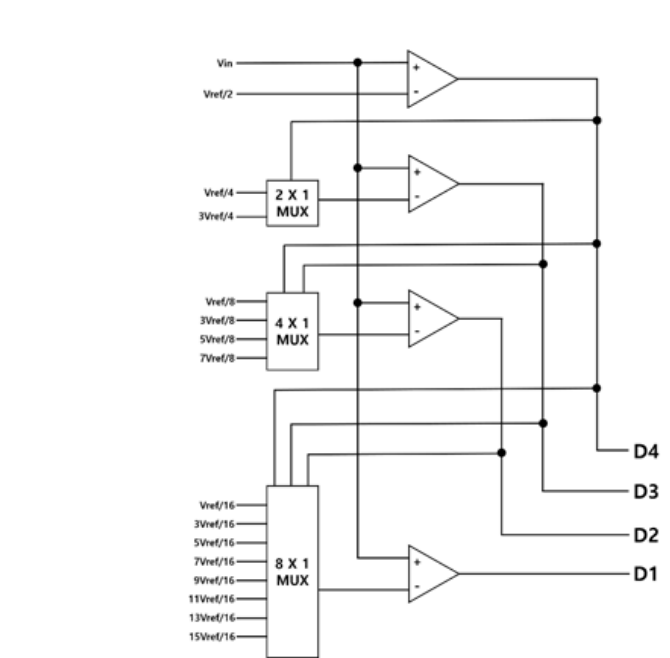
Analog to Digital Converter는 다양한 아날로그 신호를 디지털 값으로 변환하는 장치이다. 컴퓨터가 디지털 신호를 처리하기 위해서는 꼭 ADC가 필요하다. Flash ADC는 병렬 구성 비교기를 통하여 입력 아날로그 전압과 기준전압들을 동시에 비교한다. 가장 빠른 변환속도를 갖는 Flash ADC는 고해상도를 요구함에 따라 다른 ADC에 비하여 많은 수의 비교기가 필요하다. 이는 칩 면적, 소비 전력, 비용 문제로 이어진다.

본 논문에서는 비교기의 수를 줄이기 위하여 Multiplexer를 이용한 Flash ADC를 180nm CMOS 공정을 이용하여 제작할 것이다. 이를 위해 Multiplexer는 Transmission Gate와 Inverter를 이용하여 설계하고, OP Amp가 5MHz 이상의 Bandwidth와 60dB 이상의 Gain를 지니도록 설계한다. 설계한 회로로 구성된 ADC는 1.19 mW 이하의 전력을 소비하도록 설계할 것이다.

Flash ADC 동작원리

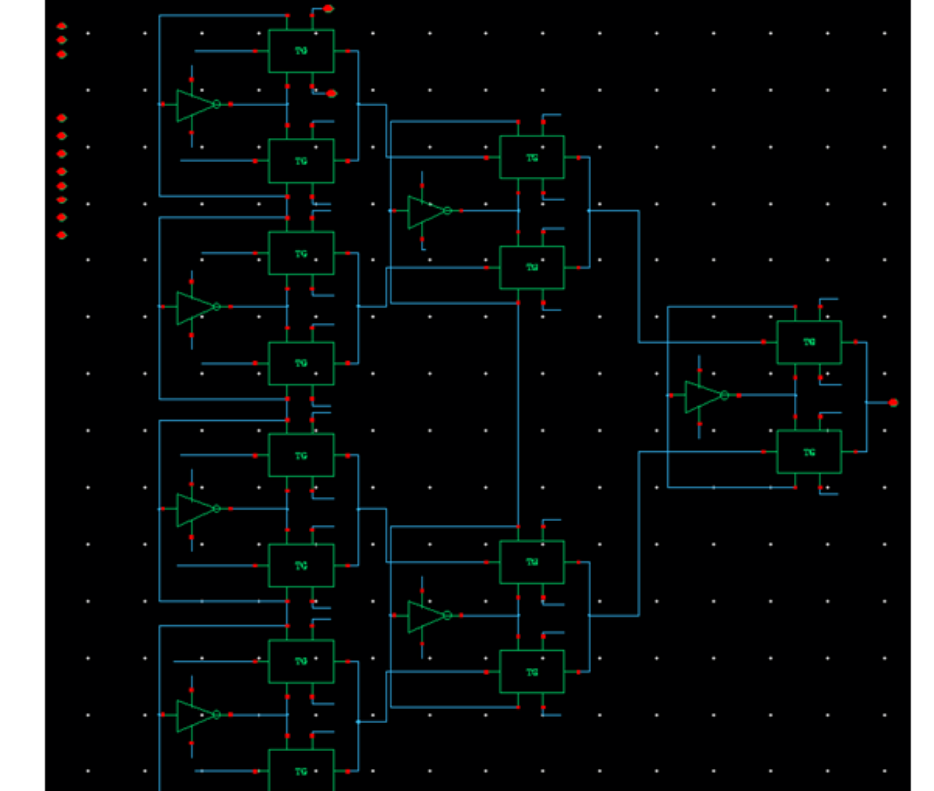
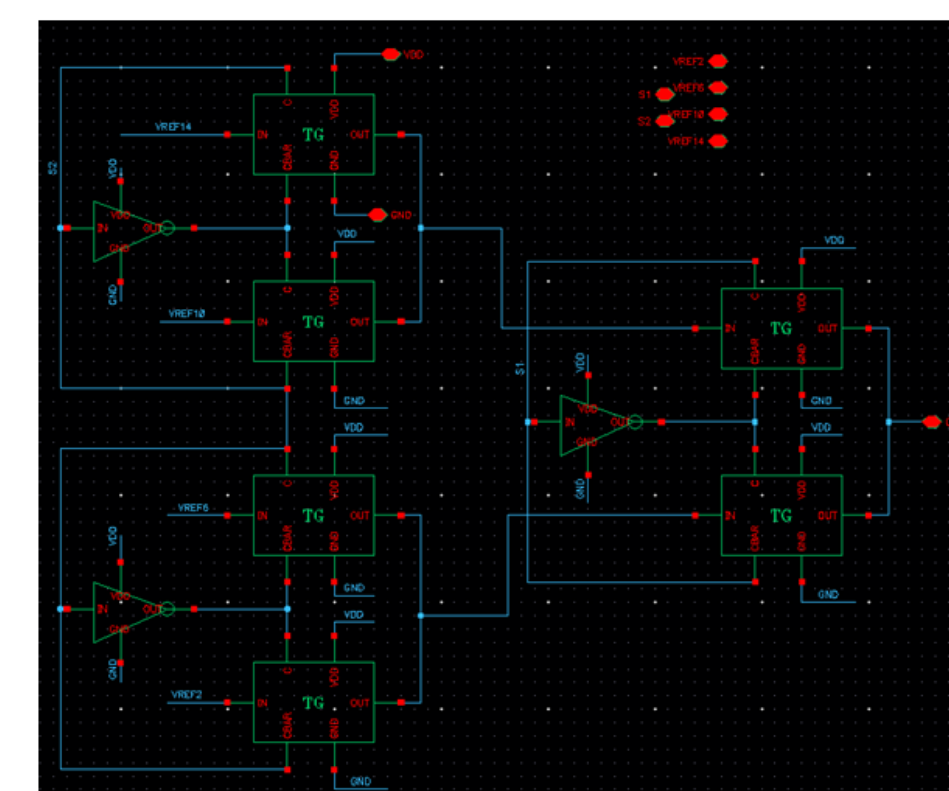
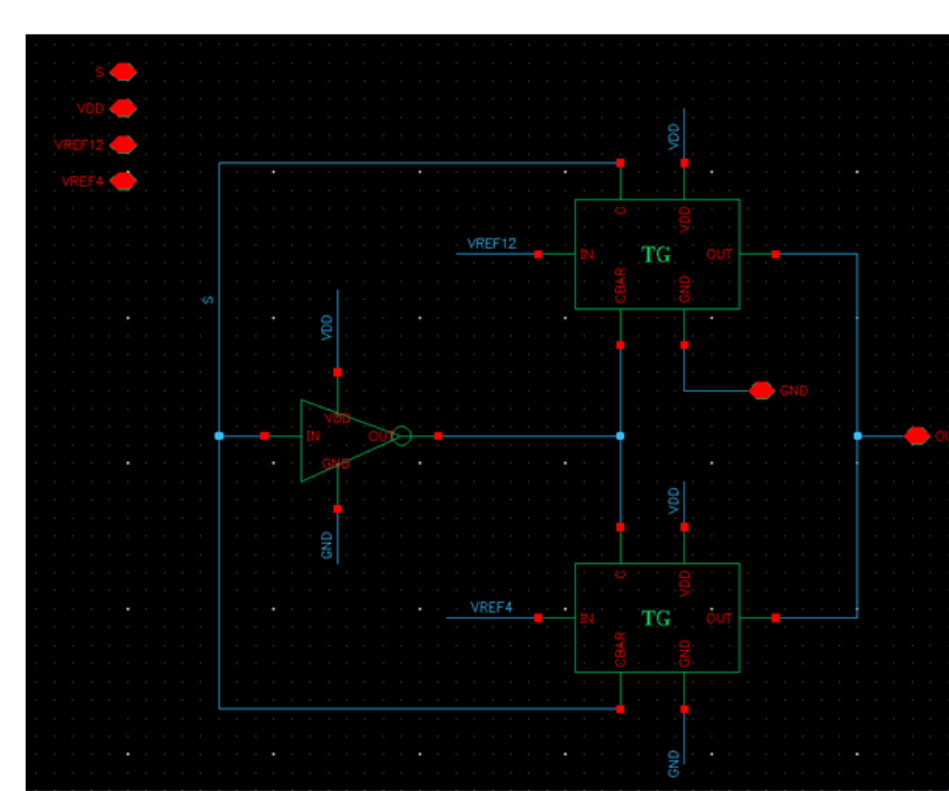


2^N-1개의 비교기와 2^N개의 저항, 인코더 필요
4비트 Flash ADC : 15개의 비교기로 구성

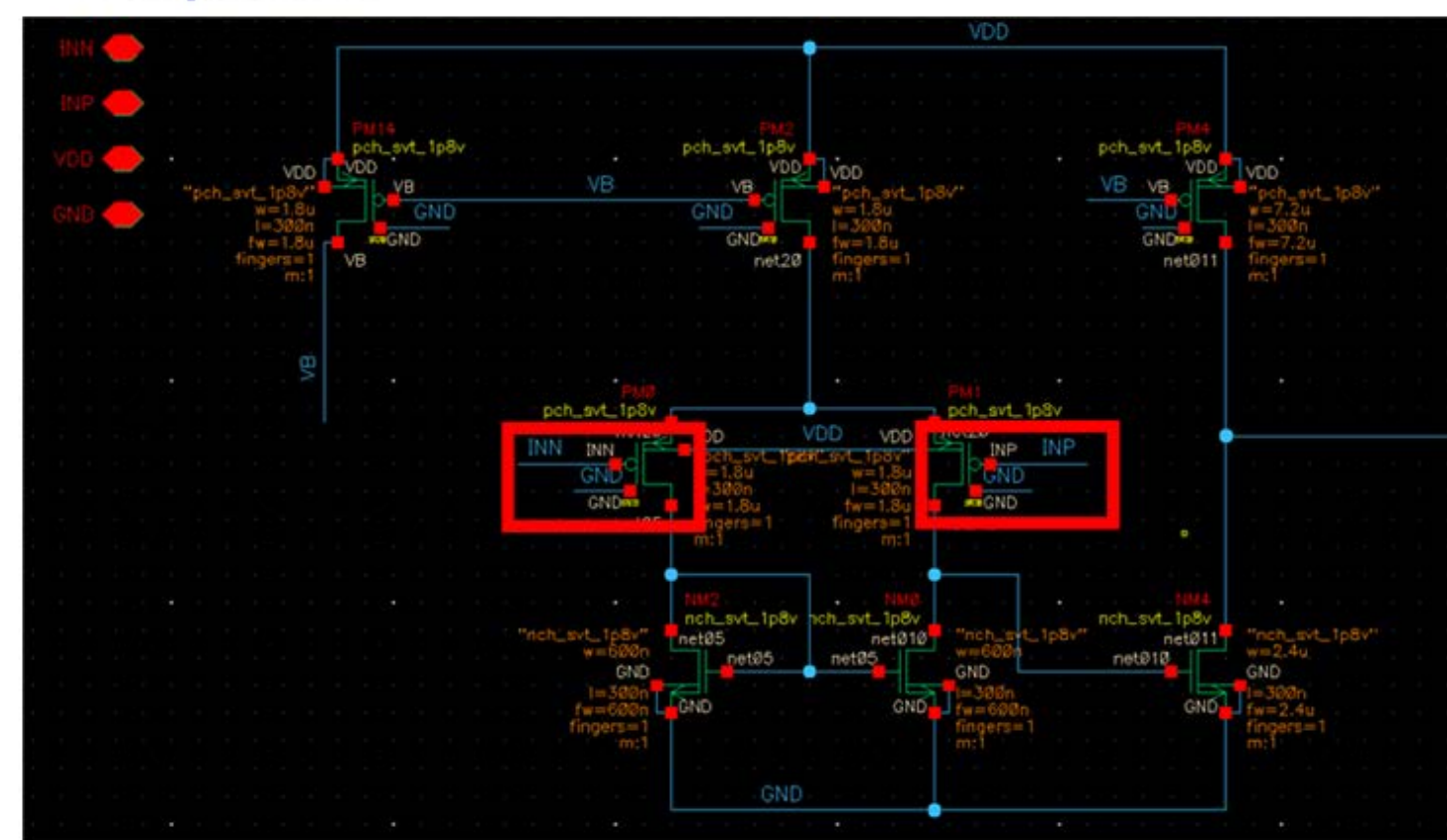


N개의 비교기, N-1개의 멀티플렉서, 2^N개의 저항 필요
4비트 Flash ADC : 4개의 비교기, 3개의 MUX로 구성

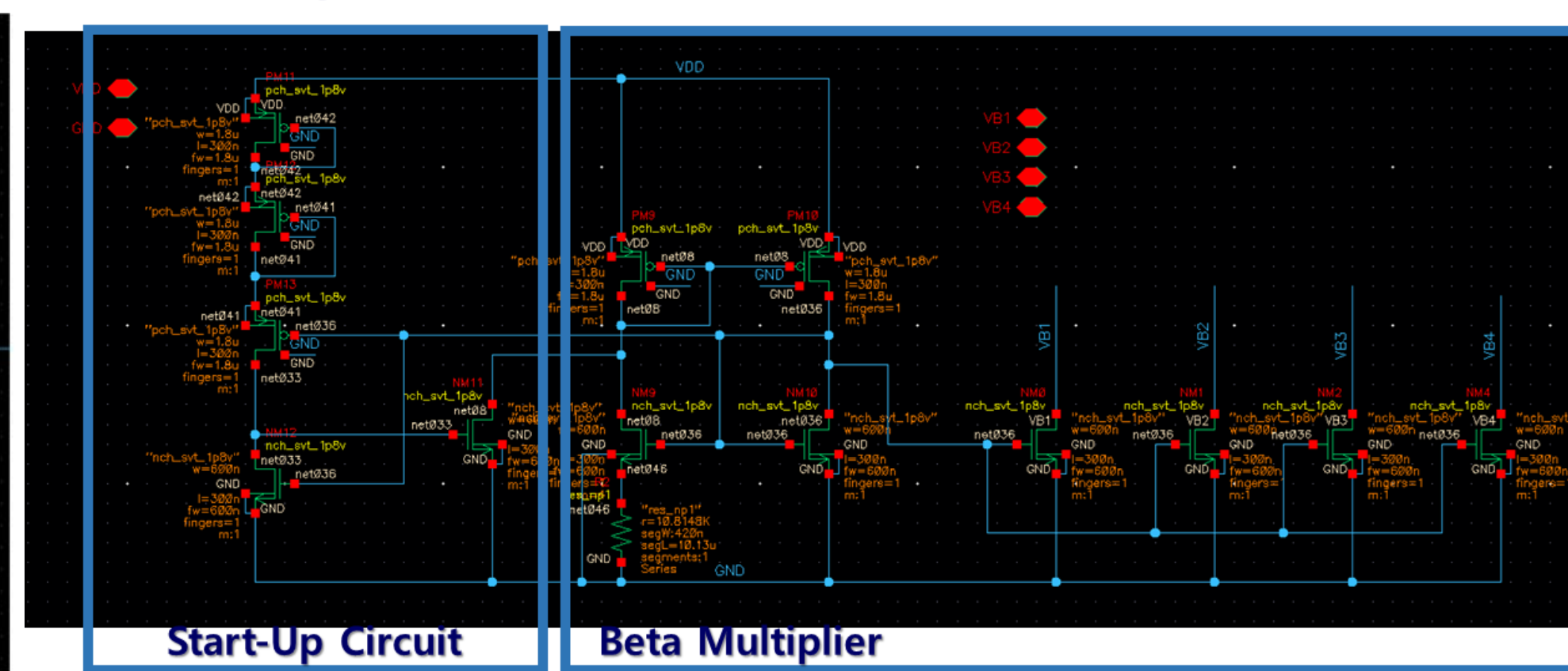
2:1 MUX / 4:1 MUX / 8:1 MUX - Schematic



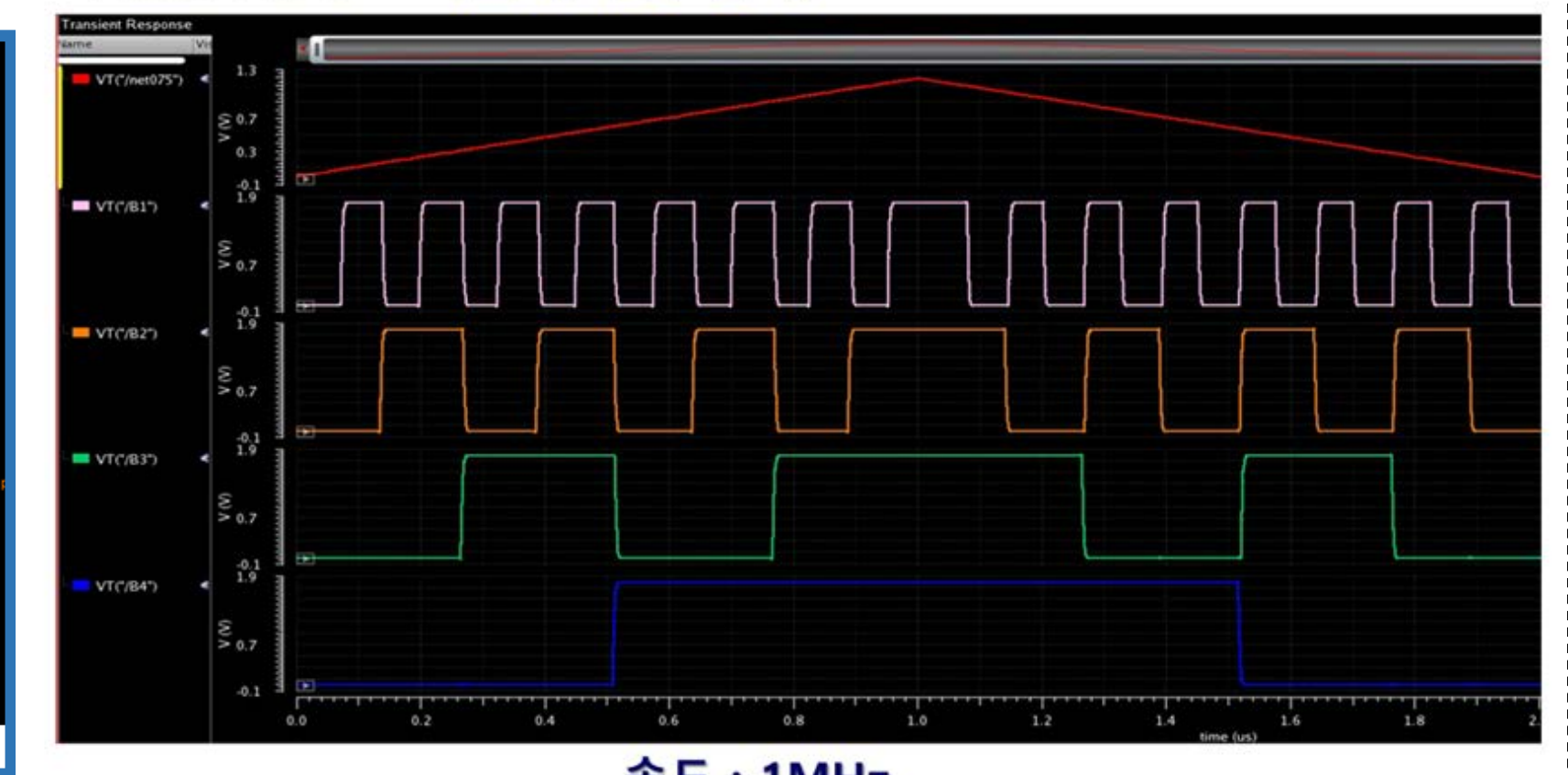
Comparator



OP Amp에 공급하는 Bias Current 생성



Flash ADC - 시뮬레이션 결과

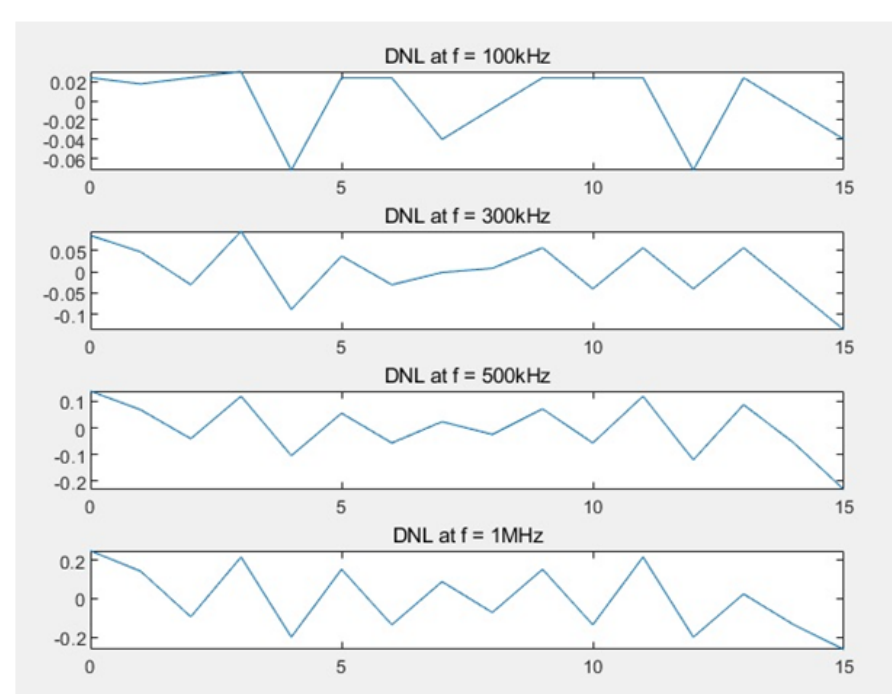


시뮬레이션 결론

Flash ADC에서 비교기의 수를 줄여 소비 전력을 개선하였다.

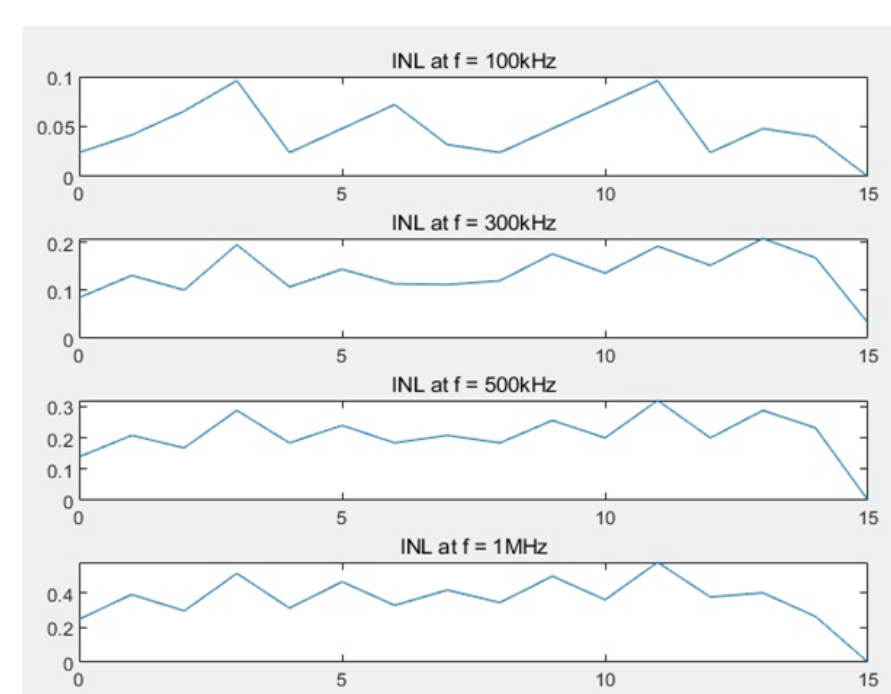
	목표 스펙	설계한 회로
Power Supply	1.8 V	1.8 V
Input Range	1.8 Vpp	1.2 Vpp
Resolution	4 bit	4 bit
Power Dissipation	1.19 mW	0.499 mW
Input frequency	100 kHz	1 MHz

ADC TEST



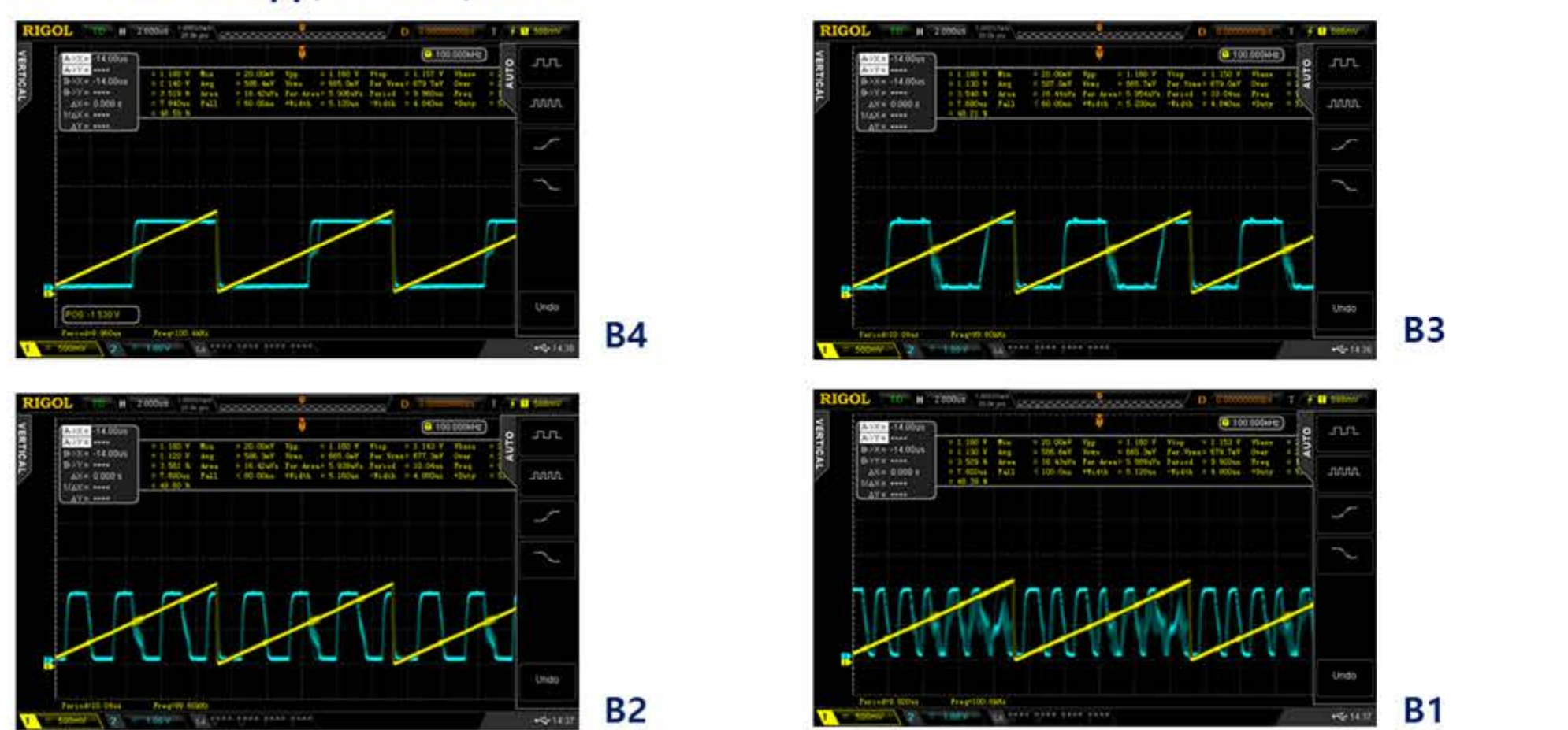
f _{in} [Hz]	DNL
100 k	0.072
300 k	0.136
500 k	0.232
1 M	0.264

ADC TEST

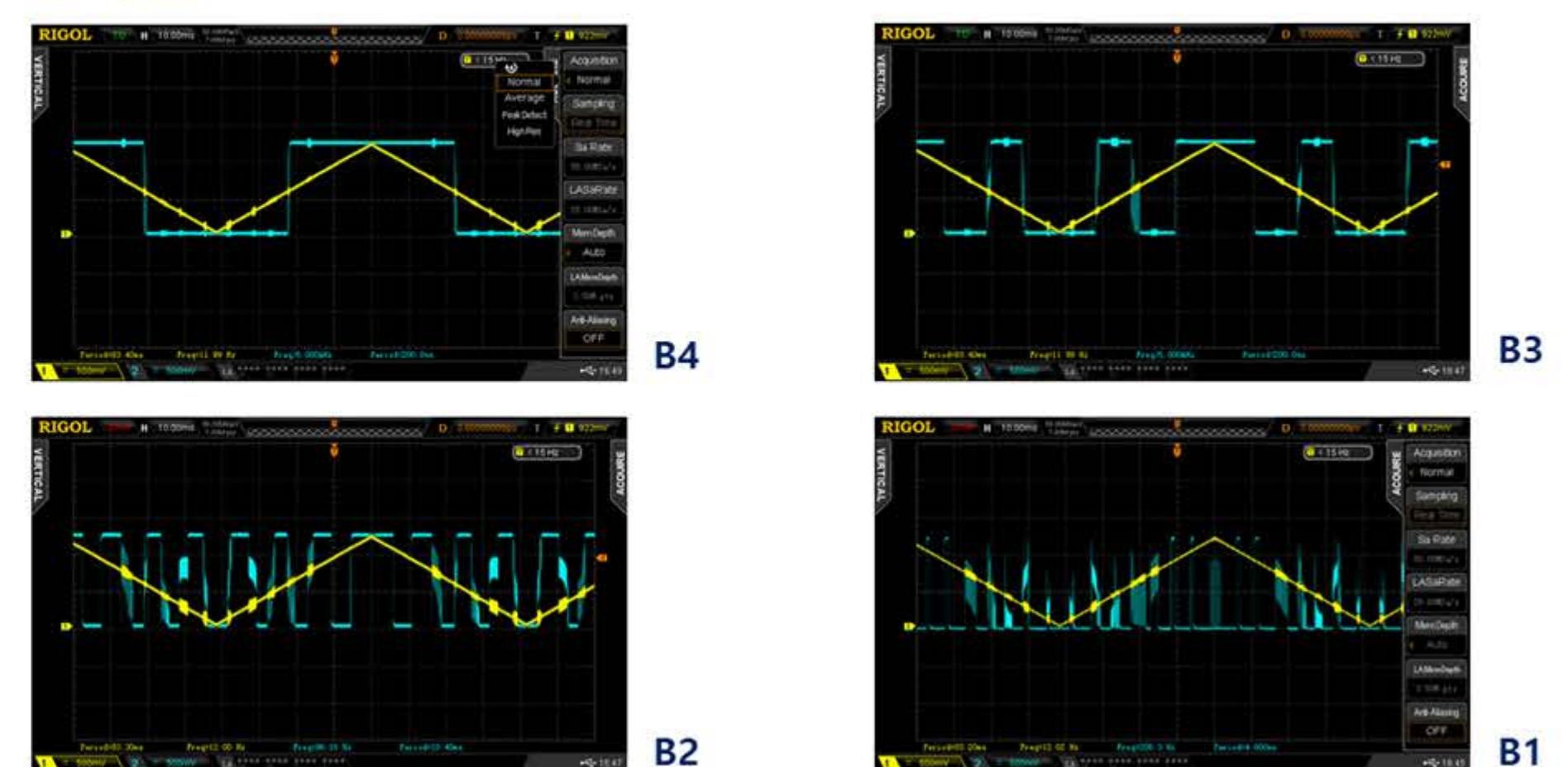


f _{in} [Hz]	INL
100 k	0.096
300 k	0.208
500 k	0.32
1 M	0.576

칩 시연 1.8Vpp, 100kHz, s/h o



칩 시연



DB 하이텍 180nm 공정으로 Multiplexer를 이용한 4비트 Flash ADC를 설계하였다. 기존의 전형적인 Flash ADC 구조에서는 4비트에서 15개의 비교기가 필요하나, Multiplexer를 이용하면 4개의 비교기가 필요하다. 설계는 Cadence의 Virtuoso를 사용하여 수행하였다. 비교기는 Gain = 94 dB, Unity gain bandwidth = 1.8 GHz를 갖는 PMOS input OP Amp를 이용하였다. 또한, OP Amp에 안정적인 bias current를 공급하는 Beta-multiplier 회로를 추가하여 진행하였다. 이를 토대로 하여 최종적으로 공급전압이 1.8V이며 소비전력이 0.499 mW인 4비트 Flash ADC를 설계하였다. 설계한 ADC의 DNL은 Matlab Simulink Tool을 이용하여 계산한 결과 1 MHz에서 0.264 LSB를 보였다.

Post-sim 결과에서 입력이 기준전압일 때 발생한 비교기의 metastability 문제에 buffer를 연결하여 개선하였다. 다른 개선 방법으로는 Hysteresis Comparator를 사용하는 것이 있다. 이렇게 Multiplexer를 이용한 Flash ADC 구조처럼 비교기를 줄인다면 전력, 비용, 면적의 효율 문제로 제한되었던 해상도를 보다 높일 수 있다. 이에 따라 고해상도, 고속을 필요로 하는 이미지 신호처리나 통신 분야와 같은 다양한 시스템에서 Flash ADC를 활용할 수 있을 것으로 기대된다.

'본 논문은 IDEC 지원으로 수행됨'